

שם הקורס: מעגלים ספרתיים	סוג המבחן: בחינת סיום הסמסטר
מס' קורס: 200112	תוכניות לימוד: הנדסת חשמל ואלקטרוניקה
סמסטר: לא רלוונטי	מועד: בחינת דוגמה תאריך:
מסלול: לימודי יום + ערב	
סגל הקורס: דר' ינון סתיו, מר סתו קדוש, גב' שירי מזור	

בחינת דוגמה + פתרון

הוראות לנבחן

- משך המבחן: **180 דקות (3 שעות)** – חובה להגיש בסיום הזמן שהוקצה, אי-עמידה בהגשה בזמן צפויה לגרור הורדת ניקוד ופסילת הבחינה.
- הבחינה כוללת **מספר שאלות, שונות** במשקלן והיקפן, הניקוד של כל סעיף מצוין ;
 - יש לפתור את כל חלקי הבחינה.
 - מומלץ מאד לקרוא מראש את השאלות בעיון רב.
 - אנא חלקו את הזמן בין השאלות בצורה מושכלת.
- שימו לב כי זו בחינה לדוגמה , בחינת פטור להנדסאים עשויה לכלול סעיפים דומים, אך המענה עליהן יהיה בפורמט שאלות 'רב-ברירה' (שאלות אמריקאיות) בבחינה זו לדוגמה קיימים 13 סעיפים שיכולים להיות 13 שאלות רב-ברירה נפרדות.**
כמו כן לא כל נושאי הלימוד האפשריים מופיעים בבחינה זו (ייתכנו גם שאלות בנושאים נוספים, למשל : משוואת הדפקים, CMOS, זיכרונות ספרתיים)
- חומר עזר:
 - הסטודנט יביא עמו תקציר נוסחאות אישי בן מספר עמודים, הכול סיכום אישי ונוסחאות, אך ללא תרגילים או דוגמאות. המרצה או המתרגל יחתמו על הדף כאסמכתא לאישורו בזמן הבחינה !
 - ניתן להשתמש במחשבוני בלבד. חל איסור לעשות שימוש במחשבי לוח (טבלטים) או מחשבים אישיים (PC).
 - יש להשאיר טלפונים סלולריים, מחשבים וכל ציוד אלקטרוני שהוא (כולל שעוני-יד חכמים), כמו גם כל חומר עזר אחר, שאינו מאושר לשימוש, בתיקים בקדמת הכיתה.
 - חריגה מהנחיות אלו, הינה עבירת משמעת.

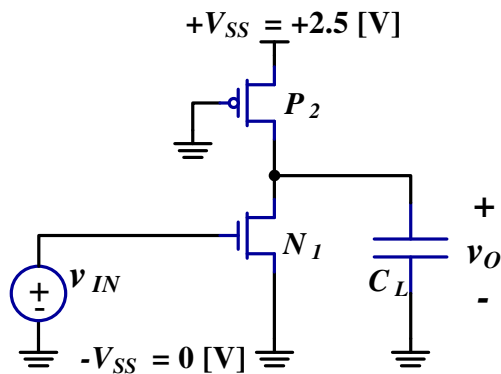
בהצלחה.

ט.ל.ח.



שאלה מס' 1 ; (25%) ;

מהפך בוליאני מבוסס MOS



מציעים לממש מהפך בוליאני על בסיס המימוש המתואר באיור משמאל :

פרמטרי התהליך והטרנזיסטורים מתוכננים למתחי אספקה :

$+V_{SS} = 2.5V$, $-V_{SS} = 0$
ומקיימים :

$$K_n = k'_n \left(\frac{W}{L} \right)_N = 200 \frac{\mu A}{V^2} , V_{t,N} = 0.5V \quad \blacksquare$$

$$K_p = k'_p \left(\frac{W}{L} \right)_P = 40 \frac{\mu A}{V^2} , V_{t,P} = -0.5V \quad \blacksquare$$

1.1 (8%) עבור מתח כניסה נמוך : $v_{IN} \approx 0 [V]$, ומתח מוצא המקיים $v_O = V_{OH}$;

מהם מצבי שני הטרנזיסטורים ?

חשבו מהו V_{OH}

1.2 (12%) עבור מתח כניסה גבוה : $v_{IN} = +V_{SS} [V] = +2.5 [V]$, ומתח מוצא המקיים

$v_O = V_{OL}$;

מהם מצבי שני הטרנזיסטורים ?

חשבו מהו V_{OL}

1.3 (5%) שרטטו עקום VTC איכותי המתאר את v_O כנגד v_{IN} , הקפידו לציין על עקום זה מתחים עקרוניים, כולל אילו שחושבו בסעיפים קודמים.



פתרון:

ברור מיידית כי זהו מהפך Pseudo-NMOS, כאשר טרנזיסטור ה PMOS, המסומן P2, משמש עומס אקטיבי.

מקדם היחס בין הטרנזיסטורים מקיים: $r = \frac{K_n}{K_p} = 5$.

(1.1) כאשר $v_{IN} = 0$:

- ה NMOS בקיטעון, אין זרם
- ה PMOS מקבל עדיין $V_{SG} = +V_{SS}$ אבל לאחר טעינת קיבול המוצא, הזרם נפסק, והמתח עליו אפס, לכן הוא בתחום אוהמי-ליניארי

$$v_O = V_{OH} = +V_{SS} = +2.5 [V]$$

(1.2) כאשר $v_{IN} = +2.5 [V]$:

ה NMOS מקבל $V_{GS} = +V_{SS}$, וכמ"ל ה PMOS מקבל עדיין $V_{SG} = +V_{SS}$. בשניהם זורם זרם מקסימלי. כיוון ש NMOS בעל K גדול הרבה יותר, רוב המתח ייפול על ה PMOS, ואז מתח המוצא מתוכנן לקיים $v_{OL} < V_t$:

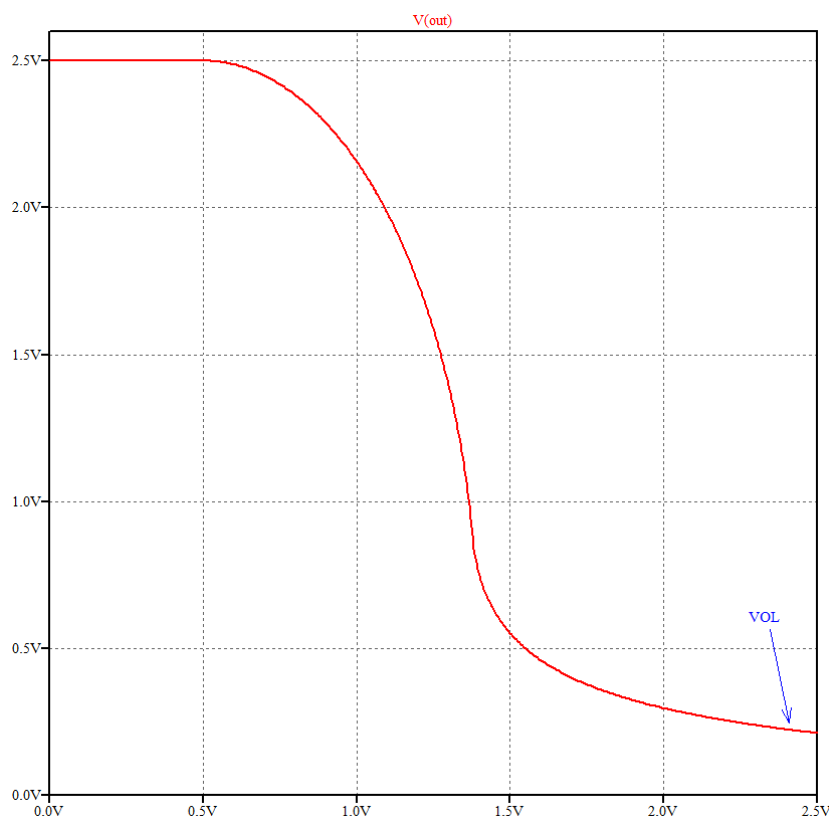
חישוב מתח המוצא יכול להסתייע בתוצאה שפיתחנו בהרצאה:

$$\begin{aligned} v_{OL} &= (V_{DD} - V_t) \left(1 - \sqrt{1 - \frac{1}{r}} \right) \\ &= (2.5 - 0.5) \left(1 - \sqrt{1 - \frac{1}{5}} \right) = 2[V] \left(1 - \sqrt{\frac{4}{5}} \right) = 2[V] \cdot 0.1056 \end{aligned}$$

$$v_{OL} = 0.211[V]$$

- המתח v_{DS} של N_1 נמוך, ושווה V_{OL} , בעוד V_{OV} מקסימלי, על כן N_2 בתחום אוהמי-ליניארי
- המתח $v_{SD,P2}$ גבוה, (למעשה $2.5 - 0.211 = 2.29$) זה גבוה מאשר $V_{OV,P2} = 2[V]$, לכן P_2 ברוויה.

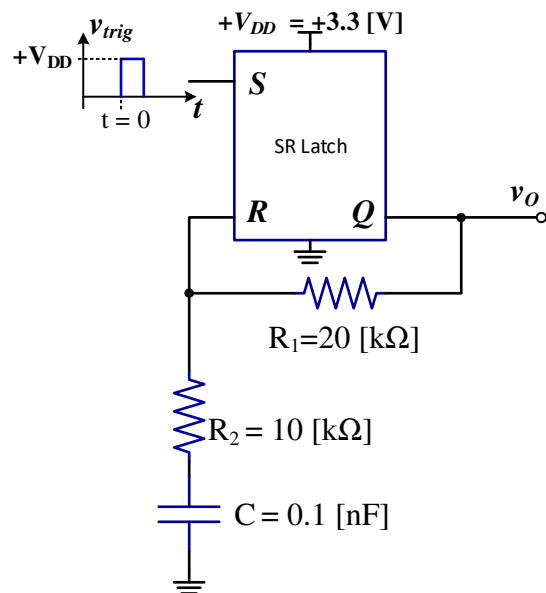
(1.3) עקום VTC:





שאלה 2 (25%) :

מעגל מחולל אות, מעגל חד-יציב



נתון מעגל חד-יציב הממומש באמצעות SR-Latch,

כמתואר באיור משמאל :

תזכורת לטבלת אמת של SR Latch :

S	R	Q
0	0	ללא שינוי
0	1	0
1	0	1
1	1	לא מוגדר

מתח '1' לוגי הוא $+V_{DD} = 3.3[V]$

ערכי הנגדים והקבל והקבל כמתואר על גבי האיור.

נתון כי :

- בזמן $t=0$ ניתן פולס "1" לוגי ברוחב זמני צר מאד, בכניסה S.
- ניתן להניח כי לפני מתן הפולס התקיים : $Q = '0'$

נתון כי ערכי המתח בכניסות ל Latch מזהות כ '0' או '1' לוגיים ע"פ תחומי המתח :

$$\text{"0"}: 0 \leq V_{IN} < 1.65$$

$$\text{"1"}: 1.65 < V_{IN} \leq 3.3$$

2.1 (5%) הסבירו מהו עיקרון פעולת המעגל

2.2 (5%) מהם ערכי המתח בזמן $t < 0$ (המצב היציב), ובזמן $t = 0^+$, בהדקים :

S, R, Q

2.3 (15%) יש לשרטט שלושה גרפים, רצוי זה מעל זה, המתארים את השתנות המתח כנגד

ציר הזמן בהדקים S, R, Q

- דרישה: יש לציין בפירוט רמות המתח על גבי פולס המתח בכניסה R
- דרישה: יש לציין בפירוט את הרוחב הזמני של פולס המתח ביציאה Q



פתרון שאלה 2 :

(2.1) עם קבלת אות דירבון (trigger), מוצא ה Latch עולה ל 1, ואז הקבל C שהמתח עליו 0, מתחיל להיטען למתח המוצא (כלומר 3.3V), אלא שכאשר המתח מגיע למתח $V_R = 1.65 [V]$, ה Latch מזהה מצב בו $R = '1'$, כיוון שאות ה trigger בכניסה S כבר אינו קיים, זהו מצב בו $R = 1$, $S = 0$ וזה מספיק לשנות חזרה את תכולת תא הזכרון ל $Q = 0$.
כך מתחיל ומסתיים פולס בודד של "1" לוגי במוצא Q, שרוחבו קבוע ללא תלות ברוחב אות הדירבון הקצר.

(2.2) כל עוד זהו מצב מתמיד, כלומר $t < 0$, המתח בכל שלושת הדקים הוא: $R = S = Q = '0'$ בזמן $t = 0^+$, מתקבל :

- כניסה S מקבלת מתח $V_S = +3.3$
- לכן מוצא ה Latch עולה גם ל "1" לוגי, כלומר $V_Q = +3.3$
- כיוון שהקבל עדיין פרוק לחלוטין, המתח בכניסה R הוא רק מחלק המתח בין הנגדים:

$$V_R = v_C + V_Q \cdot \frac{R_2}{R_1 + R_2} = 0 + 3.3 \cdot \frac{10}{30} = 1.1 [V]$$

(2.3) המתח בהדק R, משתנה על פי משוואת הדפקים מ: $V_R(0^+) = 1.1 [V]$ לכיוון $3.3 [V]$, אך הטעינה נפסקת כאשר $V_R(t_1) = 1.65 [V]$, משך זמן זה הוא רוחב אות ה "1" במוצא.

$$v_C(t) = V_\infty + (V_0 - V_\infty) \cdot \exp\left(-\frac{t}{\tau}\right)$$

$$v_C(t) = 3.3 + (1.1 - 3.3) \cdot \exp\left(-\frac{t}{(R_1 + R_2)C}\right)$$

$$1.65 = 3.3 + (1.1 - 3.3) \cdot \exp\left(-\frac{t_1}{(R_1 + R_2)C}\right)$$

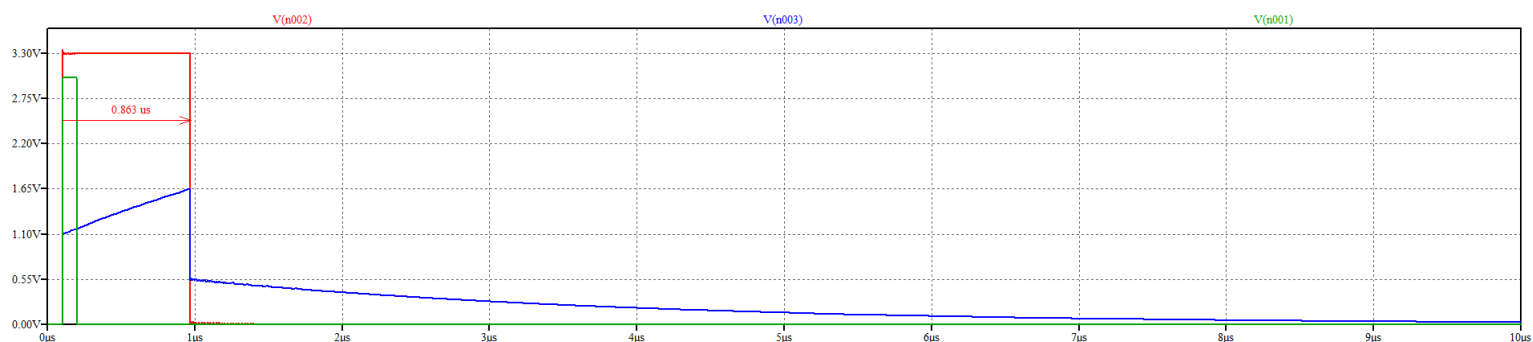
$$2.2 \cdot \exp\left(-\frac{t_1}{(R_1 + R_2)C}\right) = 1.65$$

$$t_1 = (R_1 + R_2)C \cdot \ln\left(\frac{2.2}{1.65}\right)$$

$$t_1 = 30k\Omega \cdot 10^{-10}[F] \cdot \ln\left(\frac{4}{3}\right)$$

$$t_1 = 0.863[\mu s]$$

צורות גלים צפויות בגרף הבא :

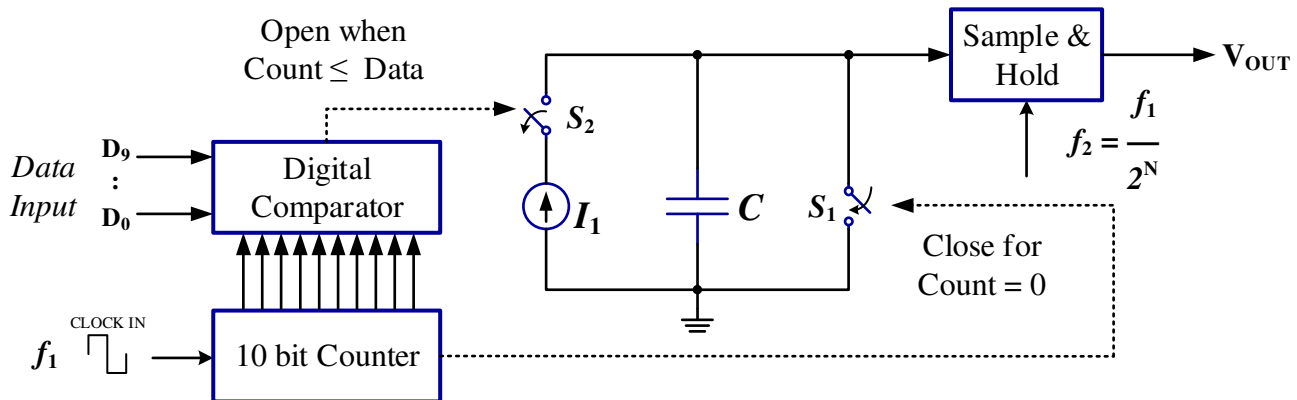




שאלה 3 (20%) ;

ממיר נתונים, D-to-A :

האיור הבא הוא תרשים מלבנים של ממיר DAC מסוג Single Ramp :



$$N = 10, \quad C = 1[nF], \quad f_1 = 2.048[MHz]$$

3.1 (10%) בהינתן כי דורשים שהממיר יתפקד כ Digital-to-Analog-Converter, הממיר ערך בינארי, ברזולוציה של $N = 10 \text{ bits}$, למתח אנלוגי ע"פ ייחוס של $V_{ref} = 5.12 [V]$.
מה צריך להיות ערכו של מקור הזרם I_1 ?

3.2 (4%) מה יהיה ערך המתח האנלוגי במוצא, אם נתון כי הערך הספרתי בכניסה (בסיס 16) הוא $0x280$?

3.3 (6%) שרטטו את מתח הקבל, v_C , ואת מתח המוצא v_{OUT} , כנגד ציר הזמן. זאת עבור הערך הספרתי הנתון כמידע הדיגיטלי בכניסה בסעיף הקודם. עשו זאת בהתייחס למחזור המרה שלם, כלומר הכלילו לפחות תחום זמן המכיל את זמן מחזוריות ההמרה של $T_2 = \frac{1}{f_2}$.
ציינו במדויק זמנים ומתחים על גבי האיור שלכם.



פתרון:

(3.1) אם נתונות מספר הסיביות, ומתח MSB, אז :

$$V_{LSB} = \frac{V_{ref}}{2^N} = \frac{5.12 [V]}{1024} = 5mV$$

ולכן :

$$V_{LSB} = \frac{I \cdot T_1}{C}$$

$$\rightarrow I_1 = \frac{V_{LSB}}{T_1} \cdot C = V_{LSB} \cdot f_1 \cdot C = 5 \cdot 10^{-3} \cdot 2048 \cdot 10^3 \cdot 10^{-9} = 10.24[\mu A]$$

$$\boxed{I_1 = 10.24[\mu A]}$$

(3.2) הערך העשרוני של 0x280 הוא 640 לכן

$$V_O = DATA \cdot LSB = 640 \cdot 5 [mV] = 3.2 [V]$$

(3.3) זמן ההמרה, שמתחילה עם פתיחת S1 וסגירת S2 :

$$T_1 = Data \cdot Bit_{time} = 640 \cdot \frac{1}{2.048 [MHz]} = 312.5 [\mu s]$$

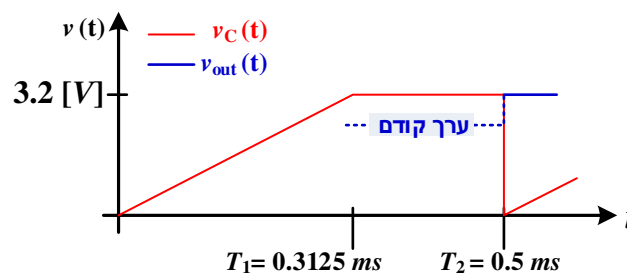
בסיום הזמן ייפתח S_2 , והמתח יישאר קבוע עד סוף ההמרה, כלומר עד הזמן בו ה counter יגיע ל 1023 :

$$\frac{1}{f_2} = T_2 = 2^N \cdot Bit_{time} = 1024 \cdot \frac{1}{2.048 [MHz]} = 500 [\mu s]$$

בסיומו יתרחשו שני דברים :

- מתח הקבל יידגם ויעבור למוצא ,

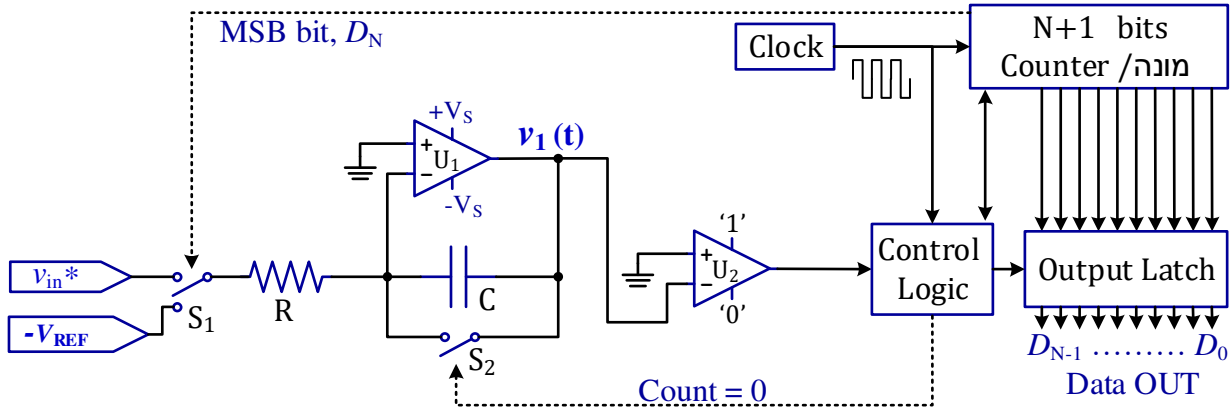
- תתרחש סגירה של S1, והמתח $v_C(t)$ עצמו יתאפס .



שאלה 4 (30%) ;

ממיר נתונים, A-to-D מסוג "שיפוע כפול"

נתון מעגל ממיר ADC מסוג Dual Slope, המתואר באיור הבא :



כאשר נתונים פרמטרי הממיר הבאים :

$$N = 8, \quad f_{CLK} = 128[kHz], \quad V_{REF} = 5[V]$$

4.1 (8%) הסבירו מה תפקידם של שני מגברי השרת המסומנים U_1 , U_2 באיור.

4.2 (6%) חשבו את הערך הספרתי, (עשרוני ובינארי) במוצא הממיר עבור מתח מבוא אנלוגי דגום : $v_{in}^* = 3.75[V]$.

לצורך הסעיף הבא, הניחו כי הנגד והקבל נבחרו כך ש: $RC = 2.5[ms]$;

4.3 (10%) תארו את תהליך ההמרה, עבור מתח מבוא אנלוגי דגום : $v_{in}^* = 3.75[V]$, זאת ע"י שרטוט מתח מוצא מגבר השרת הראשון, המסומן באיור כ: $v_1(t)$, כנגד ציר הזמן. הקפידו להתייחס למחזור המרה שלם. ציינו על גבי האיור :

- זמנים ומתחים במדויק
- שינוי במצב המפסקים

4.4 (6%) תארו מהי הדרישה על הגודל הפנימי $\tau = RC$, אם נתון כי מתח מוצא מגבר השרת המסומן U_1 , מוגבל בערכו לתחום מתחי אספקה המקיימים $\pm V_S = \pm 8V$



פתרון:

(4.1) מגבר U1 מחובר כמגבר אינטגרטור, תפקידו לתרגם את מתח הדגימה v_{in}^* , למתח שיא על הקבל, ואח"כ לבצע פריקה של הקבל דרך $-V_{ref}$ שניהם בקצב $-\frac{v_{in}^*}{RC}$ וקצב $+\frac{V_{ref}}{RC}$ בהתאמה. ובכך לייצר את אופיין השפוע הכפול.

מגבר U2 משמש comparator, כאשר v_1 מחליף סימן משלילי לחיובי, ערכו החיובי גורם למוצא המגבר המשווה לעבור לרמת מתח של "0" לוגי. מוצא זה משמש קו בקרה ש "נועל" את ערך המונה לחוצץ המוצא כערך ההמרה של הכניסה האנלוגית.

(4.2) נחשב מהו V_{LSB} :

$$V_{LSB} = \frac{V_{ref}}{2^N} = \frac{5 [V]}{2^8} = \frac{5 [V]}{256} = 19.53 [mV]$$

לכן :

$$Data = \frac{v_{in}^*}{LSB} = \frac{v_{in}^*}{\frac{5}{256}} = \frac{3.75}{5} \cdot 256 = 0.75 \cdot 256 = 192$$

:

כלומר:

$$\boxed{Data = 192}$$

(4.3) נחשב מהו זמן ההמרה, שלב ראשון מהשניים :

חלון הזמן הראשון הוא הזמן בו הקבל נטען למתח v_{peak} , וזאת במשך זמן בו המונה משלים ספירה מ 0 עד FF, כלומר $2^N = 2^8 = 256$ מחזורי שעון :

$$T_1 = 2^N \cdot Bit_{time} = \frac{2^N}{f_{CLK}} = \frac{256}{128 [kHz]} = 2 [ms]$$

זהו חלון זמן קבוע.

אבל, מתח השיא אליו יגיע מתח מוצא האינטגרטור U1 הוא :

$$V_{peak} = -\frac{v_{in}^*}{RC} \cdot T_1 = -\frac{3.75}{2.5[ms]} \cdot 2ms = -3[V]$$

כלומר שיפוע השינוי הליניארי במוצא האינטגרטור הוא : $-1.5 \left[\frac{V}{ms} \right]$

בחלון הזמן השני, משך טעינת הקבל משתנה, זמן זה מוגדר ע"י :

$$v_1 [t = (T_2 + T_1)] = 0 = V_{peak} - \frac{1}{RC} (-V_{ref}) \cdot T_2$$

$$\Rightarrow T_2 = -\frac{V_{peak}}{V_{ref}} \cdot RC = -\frac{-\frac{1}{RC} v_{in}^* \cdot T_1}{V_{ref}} \cdot RC = \frac{v_{in}^*}{V_{ref}} \cdot T_1$$

כלומר משך הזמן בו יתקבל $v_1(t) = 0 [V]$

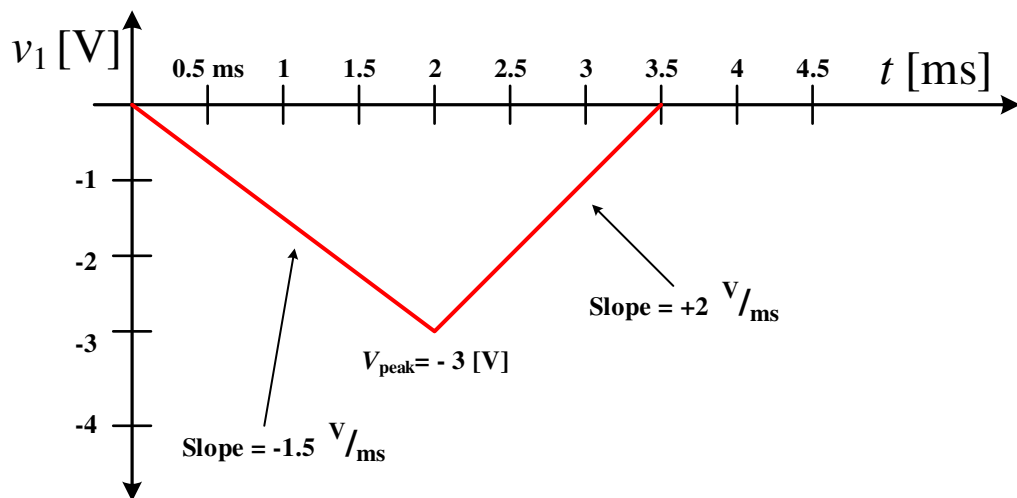
$$T_2 = \frac{v_{in}^*}{V_{ref}} \cdot T_1 = \frac{3.75[V]}{5[V]} \cdot 2[ms] = 0.75 \cdot 2[ms] = 1.5 [ms]$$

זאת כיוון שבשלב פריקת הקבל, השיפוע הוא המקסימלי שערכו :

$$slope_{max} = -\frac{-V_{ref}}{RC} = +\frac{5[V]}{2.5[ms]} = 2 \left[\frac{V}{ms} \right]$$



לכן מתח מוצא האינטגרטור, $v_1(t)$, כנגד הזמן יראה כך :



(4.4) יש להימנע ממתח $V_{peak} < -8 [V]$, כיוון שהשיפוע המקסימלי הוא כאשר $v_{in} = V_{Ref}$, אזי צריך שיתקיים :

$$V_{peak} = slope \cdot T_1 = \frac{v_{in}^*}{RC} \cdot T_1$$

$$-8[V] < -V_{peak}^{(lowest)} = -slope^{(max)} \cdot T_1 = -\frac{V_{ref}}{RC} \cdot T_1$$

$$-8[V] < -\frac{5[V]}{RC} \cdot 2[ms]$$

$$8 > \frac{5}{RC} \cdot 2[ms] \Rightarrow RC > \frac{5}{8} \cdot 2[ms] = \frac{10}{8} [ms]$$

$$\boxed{RC > 1.25 [ms]}$$